

维修手册

适用机芯 ZLM65H-iS 系列机芯

适用机型 Q3EU、G3、Q3T、Q3A、65U3C、
Q3TA、75Q3TM 系列

拟 制

会 签

审 核

批 准

四川长虹电器股份有限公司

多媒体产业公司

目 录

第一章 ZLM65H-iS 机芯液晶电视的特点和整机组成.....	3
第二章 ZLM65H-iS 机芯液晶电视的主要集成电路功能简介.....	12
第三章 ZLM65H-iS 机芯液晶电视整机信号流程分析.....	17
第四章 ZLM65H-iS 机芯液晶电视典型故障维修流程及实例.....	23
第五章 ZLM65H-iS 机芯液晶电视维备件清单.....	25
第六章 ZLM65H-iS 机芯液晶电视工厂模式设置及注意事项.....	27

第一章 ZLM65H-iS 机芯特点和整机组成

一、ZLM65H-iS 机芯简介

ZLM65H-iS 机芯以 MTK 公司 MT5520 为主芯片,带多媒体功能,数字电视、无线 WIFI,支持 HDMI1.4、HDMI2.0、MHL、HDR、UD 屏。基本功能包含 RF、1 路 AV 输入、3 路 USB 输入(包括 1 路 USB3.0)、2 路 HDMI 输入(其中 HDMI1 带 MHL、ARC 功能,都支持 HDMI2.0,个别机型带 3 路 HDMI,新增加的 HDMI 接口只支持 HDMI1.4)和 1 路网络接口、1 路同轴接口、SD 卡接口、1 路 PCMCIA 接口。根据机芯功能定义,不同机芯端子数量会有差异,比如 Q3T 系列使用的端子取消了 PCMCIA、SD 卡接口、升级模块接口。

二、主要特色功能

- ◆ 处理器: 4*CPU (Cortex A53*4) + 2*GPU (Mail-T860), 强劲的 4 核 64 位 CPU, 超强图像处理 GPU, 能满足大屏游戏应用, 使用户尽情享受大屏游戏带来的快乐;
- ◆ H.264 编码: 可实现 1920*1080/30P 的编码;
- ◆ H.265、VP9: [支持硬解码 4K@60P, 除支持主流 H.265 格式外](#), 更支持 VP9@4K@60Hz, 支持视频解码格式更丰富, 适用更广泛;
- ◆ MHL: 可将便携式消费电子装置的多媒体内容直接传输到电视上, 且不损伤影片高分辨率的效果;
- ◆ USB3.0: 高达 5Gbps 全双工高速流媒体播放接口;
- ◆ HDMI2.0a: 支持 4K*2K@60 的无损超高清传输, 更支持 BD HDR 视频硬解码;
- ◆ SRS+MEMC: Q3A 支持超解像+MEMC, 图像处理更佳;
- ◆ 快速开机: MT5520 实现 7 秒急速开机, 使智能电视的开机速率得到极大的提升。

三、其他主要功能介绍

- 超强流媒体: 支持多种格式的视频、音乐、图片、文本文件解码;
- 在线网络: 大型安卓游戏、在线购物、在线视频播放等;
- WIFI 无线上网: 支持无线 802.11AC 上网;
- HDR: 支持 Open HDR, 体验真色彩;
- 情景模式: 标准模式、晚间剧场、高质音乐、劲爆体育、我的模式
- 两路 HDMI 接口支持 HDMI2.0;
- LTI、CTI 画质改善功能, 黑白电平扩展、彩色增强引擎;
- 无信号自动关机: TV 状态下, 无信号约 15 分钟后自动关机, 进入休眠状态;
- 省电功能(电源管理模式): 当本机用做 PC 的显示终端, 且用户使用的 PC 无输出信号时, 约 120 秒后液晶电视将自动关闭, 进入待机省电模式, 当按本机 power、节目加/减键或遥控器上 power、

节目加/减键或 PC 再次出现时，液晶电视将自动打开；

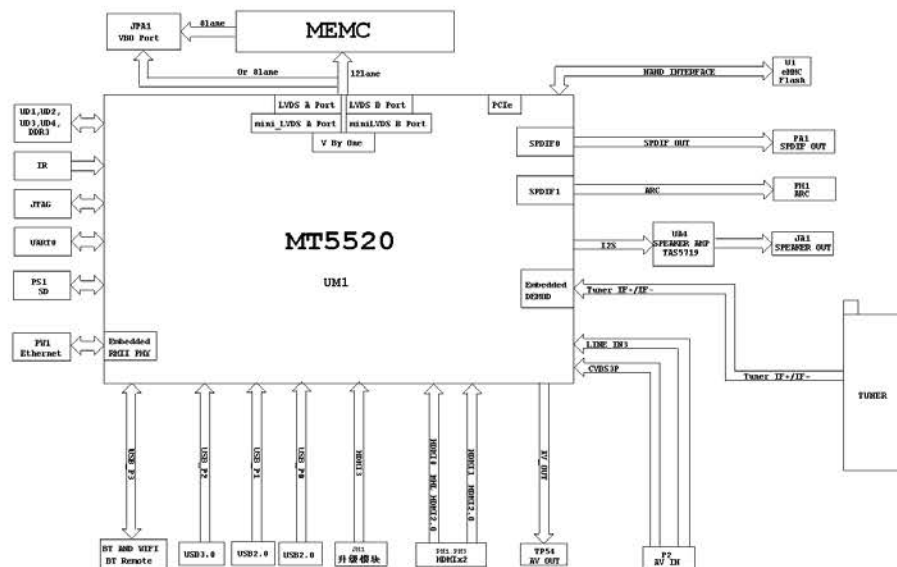
- 即插即用：作为电脑终端显示设备，无须单独配备安装软件，作到真正的即插即用；
- 方便快速的在线升级程序，可选以下方式之一：

(1)、从 HDMI2 接口通过专用工装，烧写 uboot；从 USB3.0 接口，不需要专用工装，采用普通 U 盘直接插入即可；

(2)、网上在线升级。

四、ZLM65H-i 系列机芯功能架构

长虹 ZLM65H-i 系列机芯液晶电视主要由电源电路、射频电路、音视频处理电路、模拟和数字音视频输入输出接口电路、图像变换处理电路、多媒体处理电路、伴音功放电路、系统控制电路组成，整机电路组成框图如图 1 所示（Q3EU、G3 系列）：

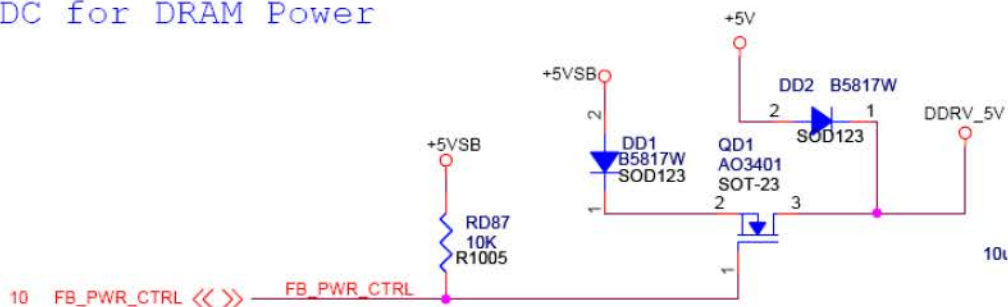


其中 MEMC 芯片仅 Q3A 系列整机在使用，型号 MST6M60FV。

五、机芯关键电路介绍

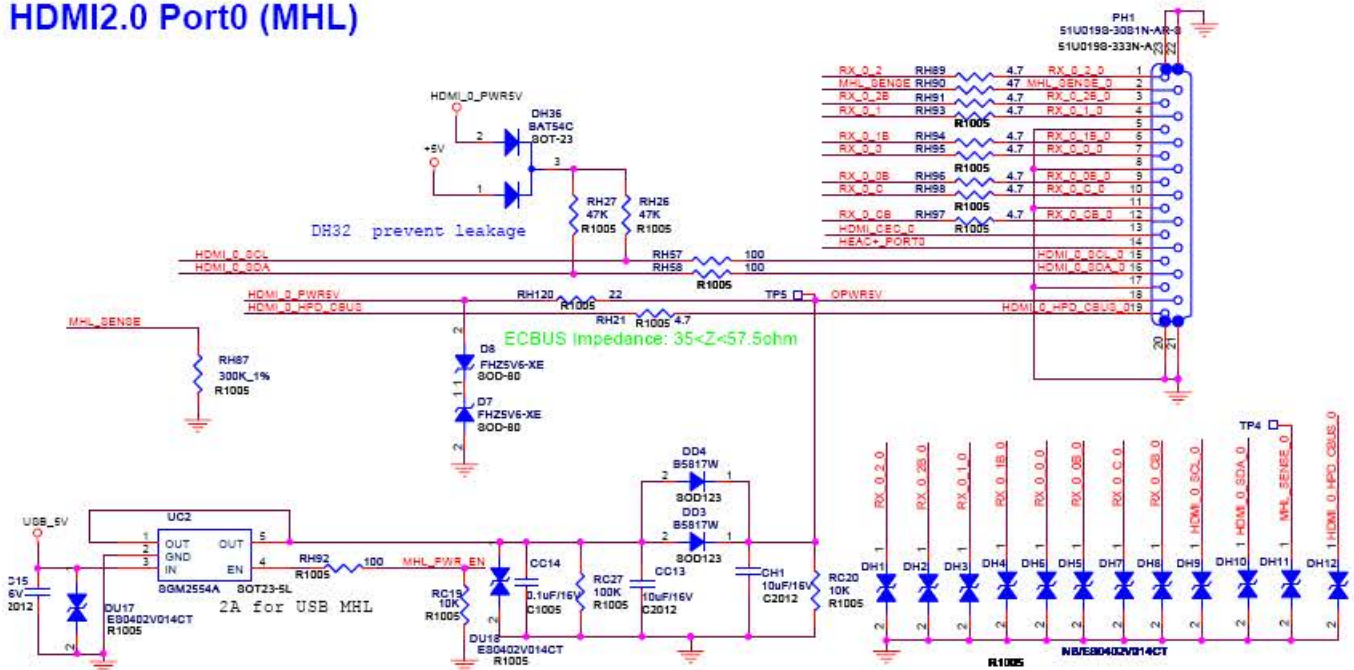
(1)、Fastboot 控制电路：DDR_CTRL 用于开关快速开关机功能。

DC-DC for DRAM Power



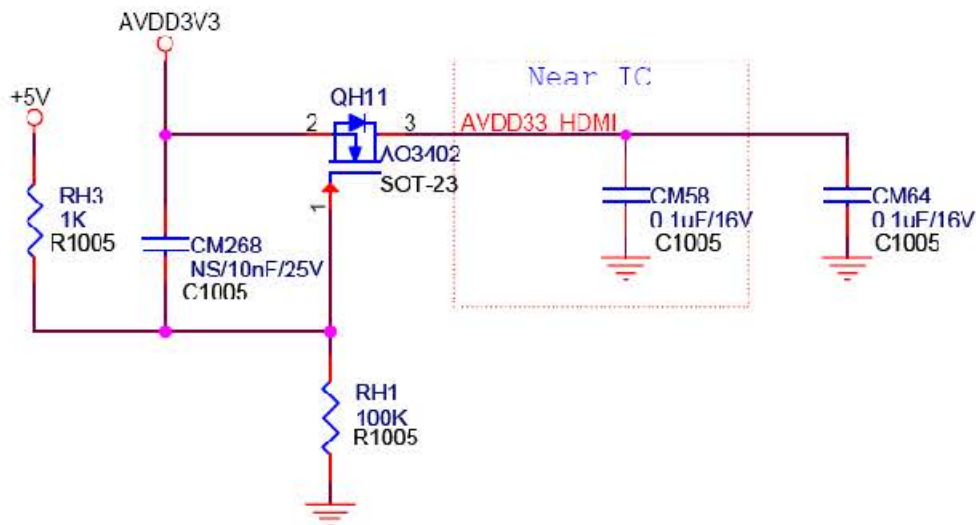
Fastboot on ---FB_PWR_CTRL to Low when Standby
Fastboot off ---FB_PWR_CTRL to High when Standby

HDMI2.0 Port0 (MHL)

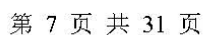
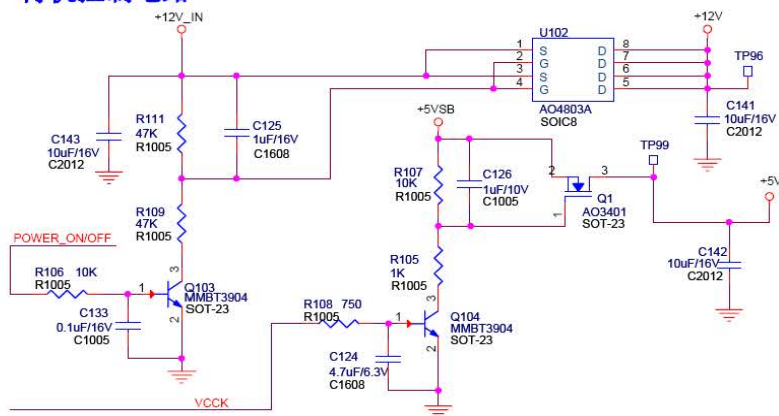
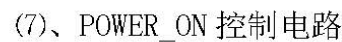


当连接MHL设备时，MHL_SENSE电平置高，MT5520将MHL_PWR_EN置高，打开电源开关UC2，为外接MHL设备供电，并进行相关MHL的协议通信

(5)、HDMI 防倒灌电路设计：防止连接个别 HDMI 设备时，通过 data 线产生 AVDD33_HDMI 倒灌到 AVDD3V3，使 MT5520 工作出现异常。



(6)、CI、CA 兼容电路设计：CA 复用了 CI 卡的第 18、33、42、52、60PIN

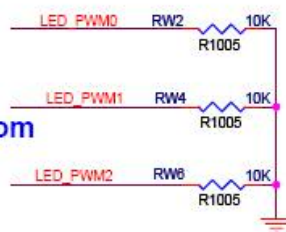
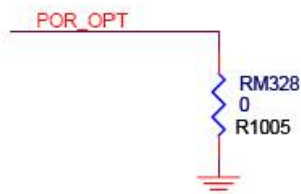


(9)、MT5520 的配置电路

STRAPPING

000:ICE moce + 24M + ROM to eMMC boot from eMMC pins (share pins w/s NAND)

Internal POR



(10)、WiFi-BT 供电电路区别

Q3EU、G3、Q3A 等	Q3T、65Q3C、Q3TA
DC-DC for 5VSB 0.6x (1+100K/13K) = 5.2V	DCDC FOR 3V3_SB (0.765 x (1+33.18K/10K) = 3.3V) TPS5632003A, 输出电流最大2.3A

因 Q3T 使用板载 WiFi-BT 方案, 使用 3.3V_SB 供电, 而其他整机型号均使用的+5V_SB 给 WiFi-BT 供电。

(11)、2 路 USB2.0 接口电路区别

Q3EU、G3、Q3A、65Q3C 等	Q3T、Q3TA
EQUAL LENGTH AND DIFFERENTIAL TERMINATION EQUAL LENGTH and DIFFERENTIAL TERMINATION	CONL7X2-2B

Q3T 的升级 USB2.0 口使用的是 USB3.0 口兼容 USB2.0 的复用 PIN。

六、整机主要组件介绍

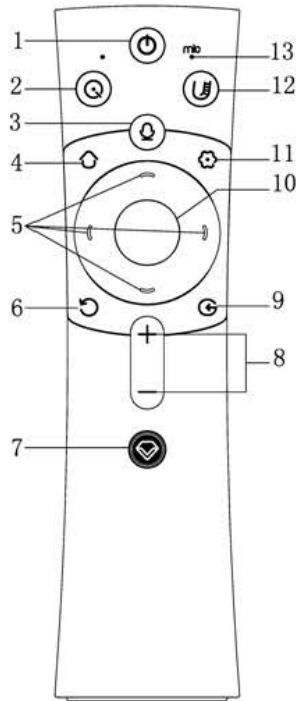
1. 遥控器

遥控器按键介绍

本机采用蓝牙遥控器，首次开机时，若电视机未进行配对，请按如下方式进行配对操作。
电视机接通交流电后，按本机 **OK** 键开机，再将遥控器尽量靠近蓝牙天线位置（位置请参见第 3 页电视机后图）后，同时按下遥控器**菜单**键和**音量-**键三秒以上，红色指示灯快速闪烁，遥控器进入配对模式。待红色指示灯长亮后熄灭，电视屏幕上出现“配对成功”提示，表示配对成功。之后您就可用遥控器方便地对电视机进行操作。若配对失败，请重新进行配对操作。

※ 本说明书将以介绍遥控器的操作方法为主。遥控器示意图仅供参考，具体外观及型号请以实物为准。

序号	按 键	功 能 说 明
1	电源键	休眠/待机状态开关
2	快捷键	按此键进入活动预告页面
3	语音键	按住此键开启语音功能，遥控器红色指示灯亮，麦克风打开；按照整机提示进行语音输入
4	主页键	短按此键调出主场景；长按此键调出最近使用列表
5	上/下/左/右键	有菜单显示时为菜单上/下/左/右键；电视源下无菜单显示时，上/下键相当于节目加/减键，左/右键相当于音量减/加键；媒体播放无菜单时，执行功能定义的功能
6	返回键	按此键返回前一观看的节目/信号源；返回上级菜单；媒体播放界面无菜单时，按此键返回进入播放前的文件浏览页面
7	VIP 键	按此键进入影视 VIP 界面
8	音量+/音量-键	音量增大/音量减小

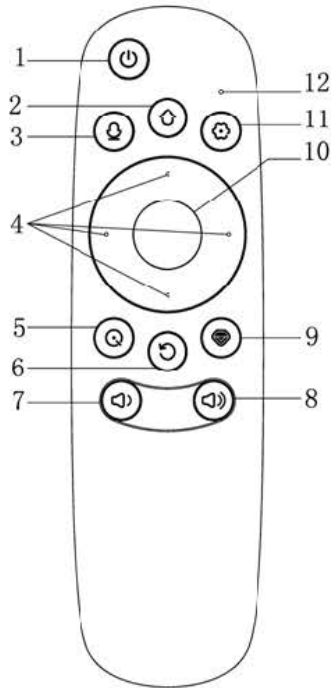


遥控器按键介绍

本机采用蓝牙遥控器，首次开机时，若电视机未进行配对，请按如下方式进行配对操作。
打开电视机后，同时按下遥控器**菜单**键和**音量-**键三秒以上，红色指示灯快速闪烁，遥控器进入配对模式，再将遥控器尽量靠近电视屏幕正下方，红色指示灯长亮后熄灭，电视屏幕上出现“配对成功”提示，表示配对成功。之后您就可用遥控器方便地对电视机进行操作。若配对失败，请重新进行配对操作。

※ 本说明书将以介绍遥控器的操作方法为主。遥控器示意图仅供参考，具体外观及型号请以实物为准。

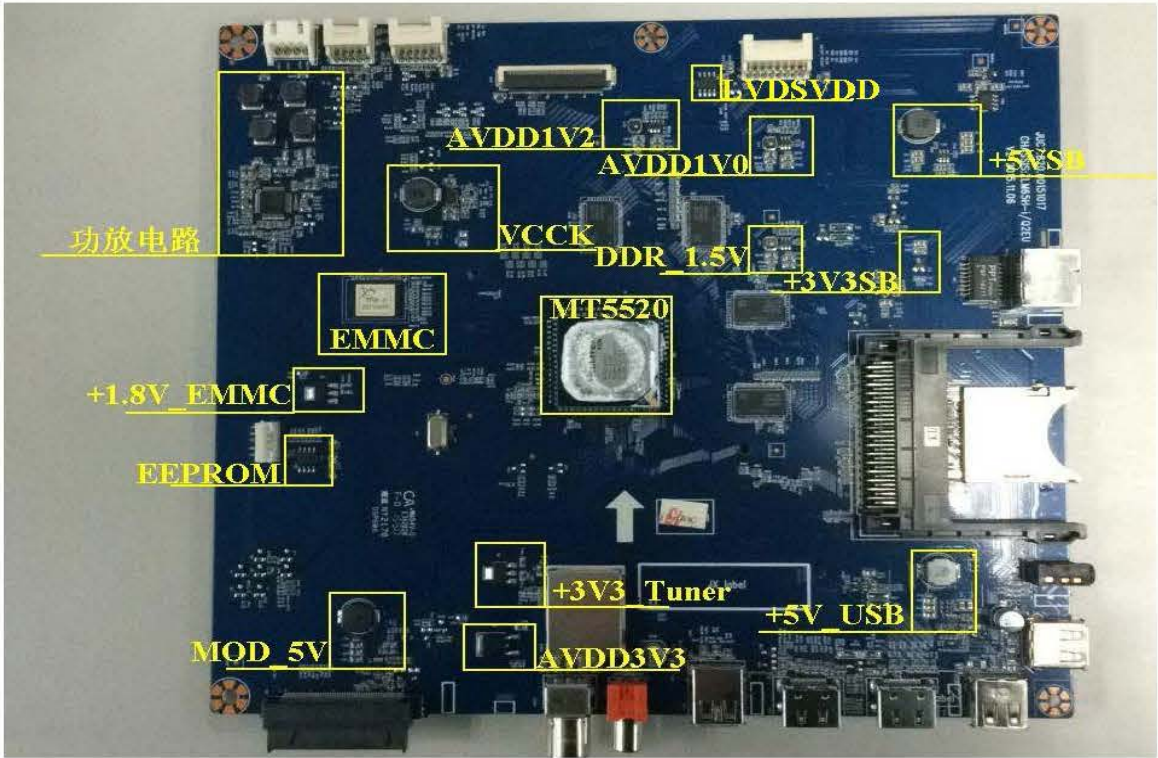
序号	按 键	功 能 说 明
1	电源键	休眠/待机状态开关
2	主页键	短按此键调出主场景；长按此键调出最近使用列表
3	语音键	按住此键开启语音功能，遥控器红色指示灯亮，麦克风打开；按照整机提示进行语音输入
4	上/下/左/右键	有菜单显示时为菜单上/下/左/右键；电视源下无菜单显示时，上/下键相当于节目加/减键，左/右键相当于音量减/加键；媒体播放无菜单时，执行功能定义的功能
5	快捷键	按此键进入活动预告页面
6	返回键	按此键返回前一观看的节目/信号源；返回上级菜单；媒体播放界面无菜单时，按此键返回进入播放前的文件浏览页面
7	音量-键	音量减小
8	音量+键	音量增大
9	VIP 键	按此键进入影视 VIP 界面



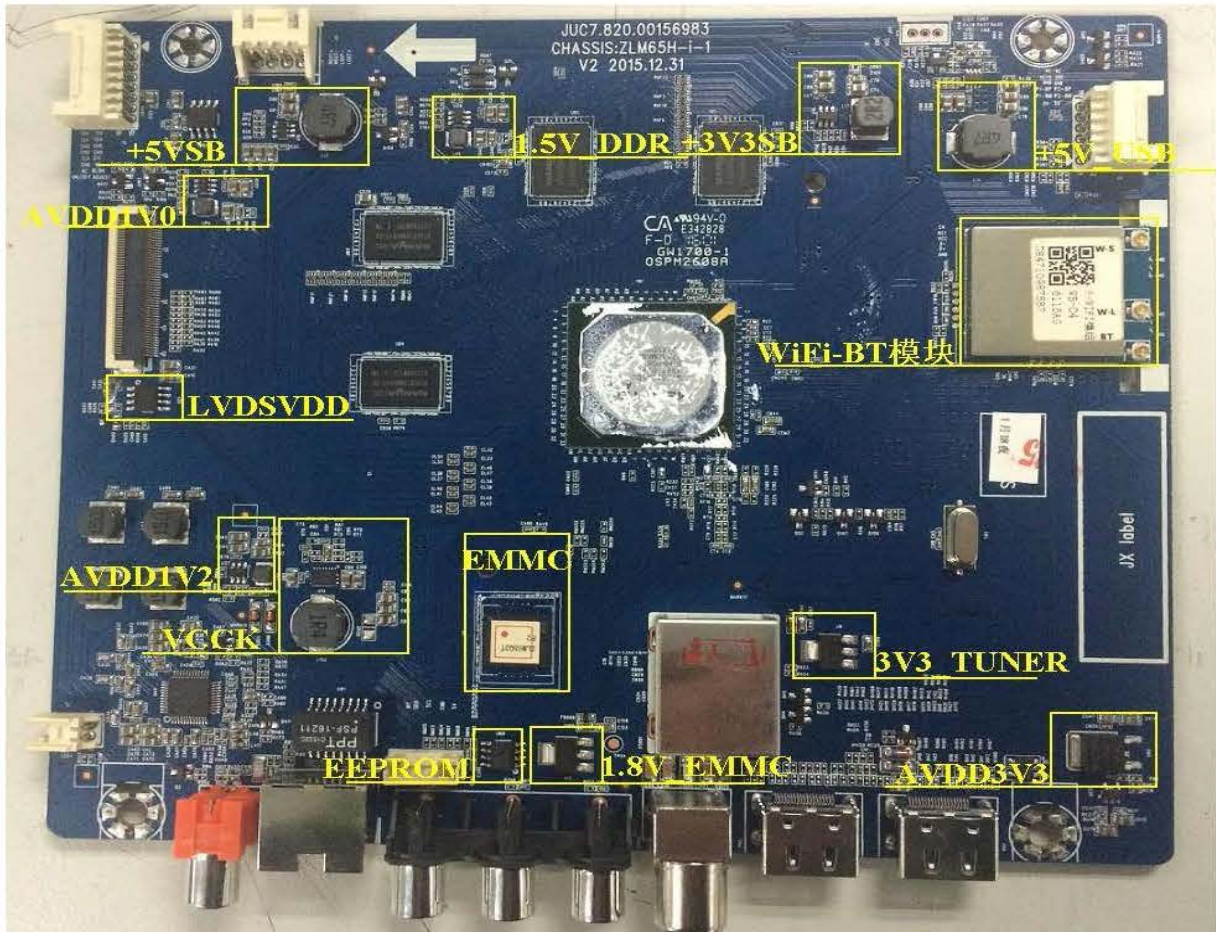
2. 长虹 ZLM65H-i 系列机芯液晶电视主要由主板、指示灯板、按键板、BT-WIFI 模块、电源板组成，Q3A 等还包含转接板组件，其功能描述如下表：

序号	组件名称	功 能 描 述
1	主板组件	主板组件是液晶电视中对各种信号进行处理的核心部分。在系统控制电路的作用下承担着将外部输入的信号转换为统一的液晶显示屏所能识别的数字信号的任务。 从高频头输入的中频信号、AV 端子输入 CVBS 信号、HDMI 输入的数字视频信号、USB 输入的多媒体数字信号在 MT5520 中进行处理, 经过格式变换处理产生 VBO 信号直接上屏或者通过转接板上屏。从各端口输入的声音信号进入 MT5520 进行音量控制、音效处理后转 SPDIF 直接输出或 IIS 信号后送入伴音功放放大后, 送到扬声器发声。
2	指示灯板组件	整机在接收到遥控命令时，通过指示灯状态反馈给用户。
3	按键板组件	按键板组件有 7 个功能按键。用户通过该组件可以对液晶电视方便地进行操作。其中 Q3T 采用五位按键，分别是“上”、“下”、“左”、“右”、“OK”键。
4	WIFI_BT 模块	采用 WiFi、BT 一体化设计，只有板载、和单体的区别
5	转接板组件（Q3A）	转接板组件主要用于图像信号的 MEMC 处理，并进行 8lane@60Hz 转 16lane@120Hz。
6	电源板组件	内置电源板可为整机信号处理过程供电，为逆变器供电，点亮液晶屏模块的背灯单元，使用户可以看到液晶显示屏上的图像。

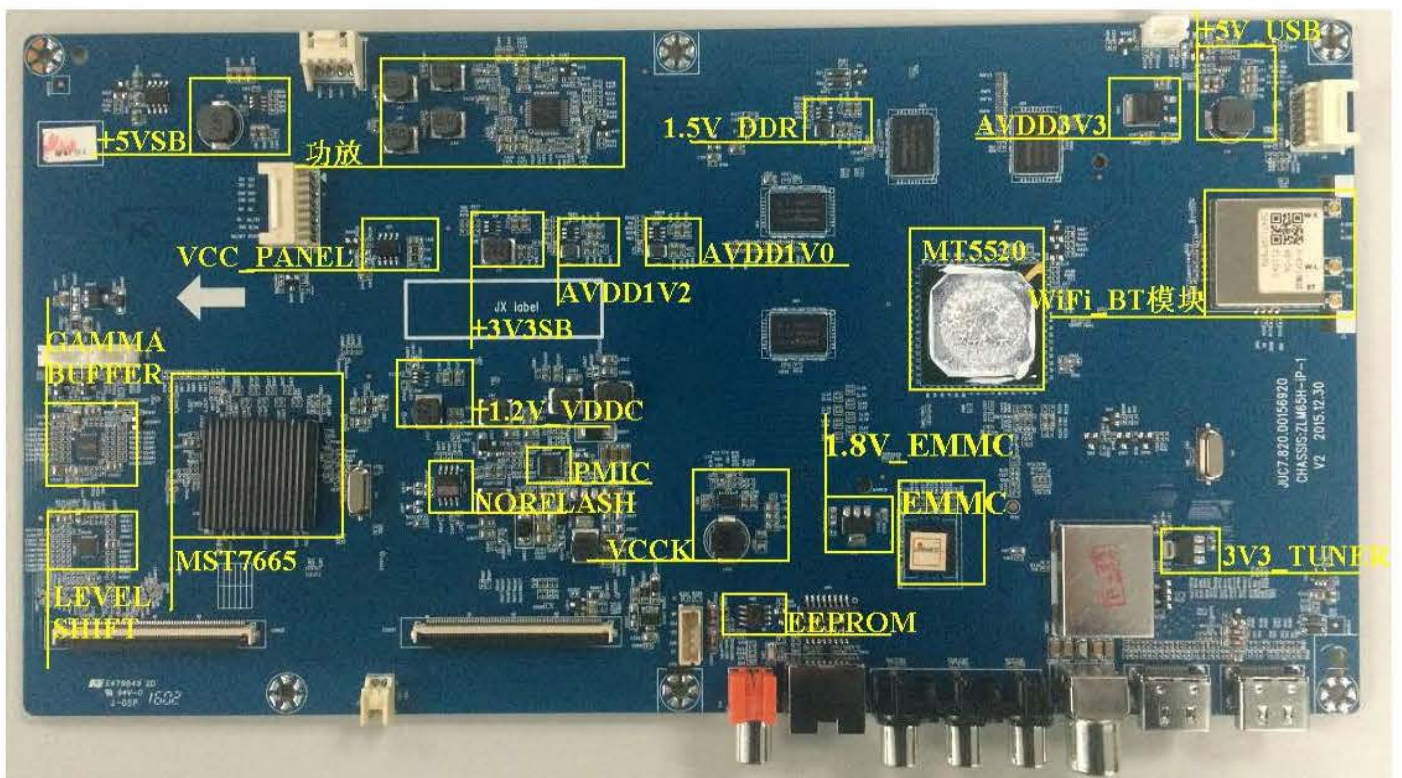
3、主板印制板布局及主要元器件位置示意如下图所示：



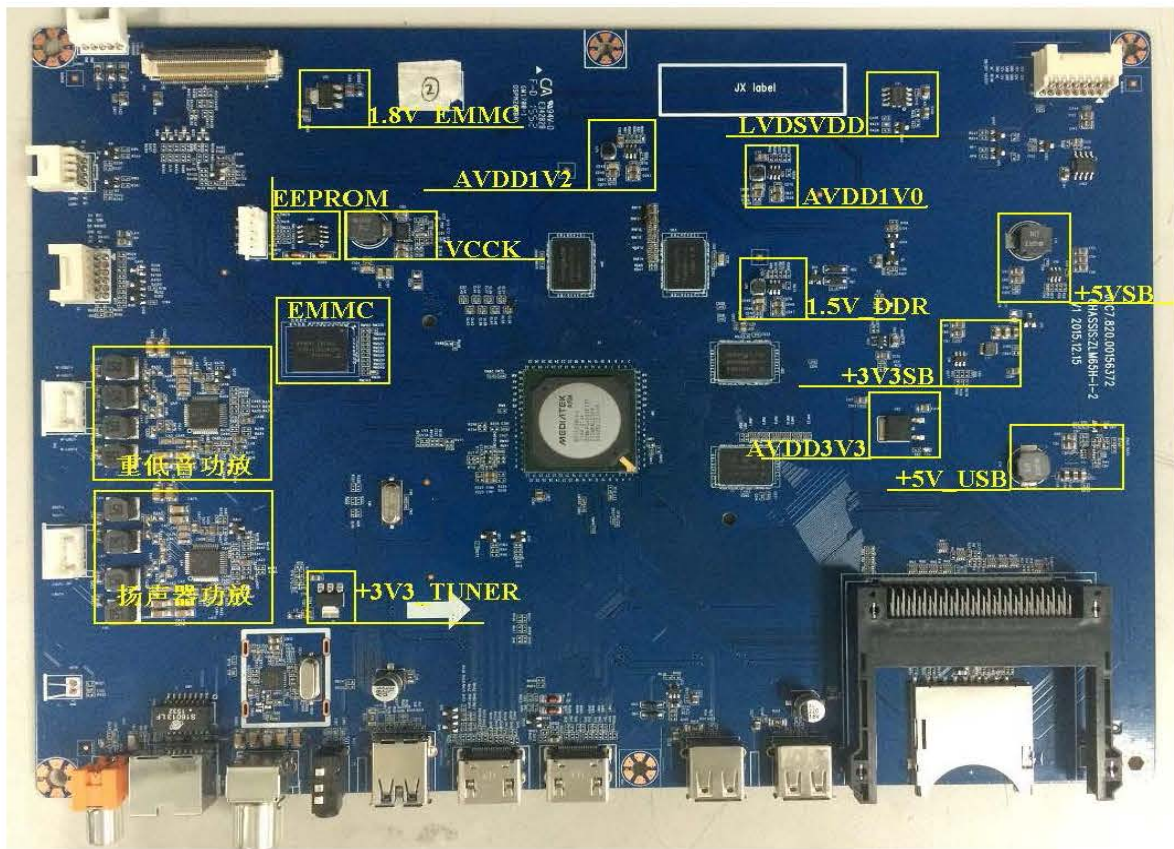
图一：Q3EU、G3 系列 (ZLM65H-i\ZLM65H-i-3)



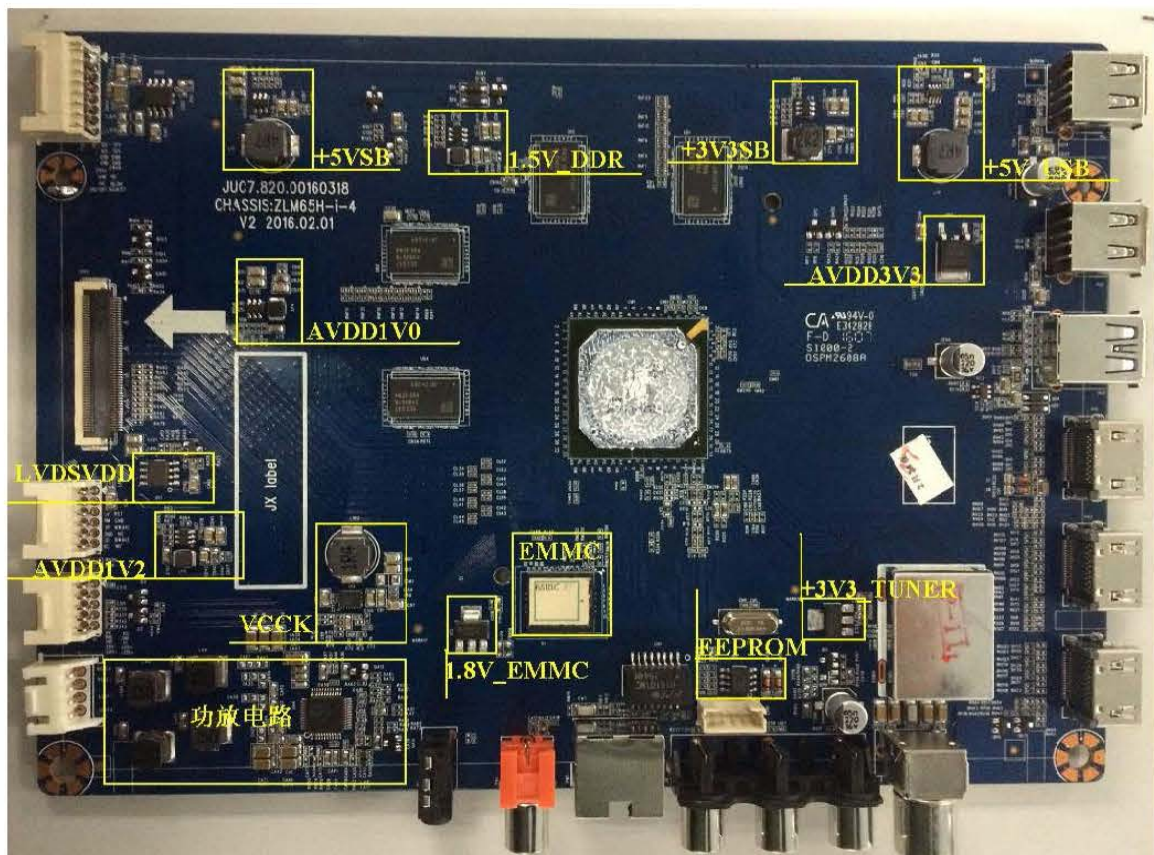
图二：55、60、65Q3T\TA 系列(ZLM65H-i-1)



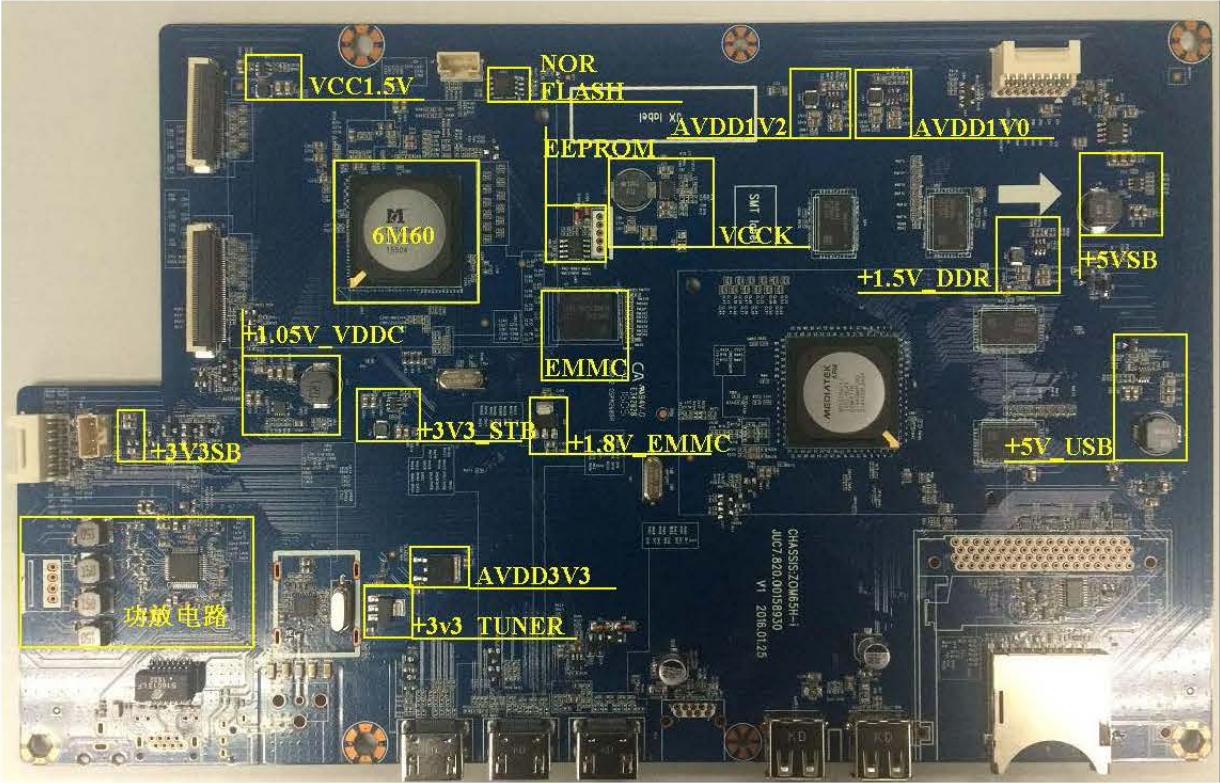
图三：43、50Q3T\TA 系列 (ZLM65H-iP-1)



图四：75Q3TM (ZLM65H-i-2)



图五：65U3C (ZLM65H-i-4)



图六：Q3A（ZOM65H-i）

第二章 长虹液晶电视 ZLM65H-i 系列机芯的主要集成电路功能简介

一、 长虹液晶电视 ZLM65H-i 系列机芯主要集成电路及其功能如下表

表 3 ZLM65H-i 系列机芯主要 IC 型号及功能简介

主 板			
序号	位号	型 号	主 要 功 能
1	UM1	MT5520	主处理芯片，对各接口信号进行如 ADC、Video Decoder、Scaler、Audio ADC、Audio DSP、3D 梳状滤波、多媒体解码、De-interlace、LVDS TX 等处理后送到屏和伴音功放。主芯片也包括了 OSD 显示、MCU 控制功能。
2	2GB	UD1, UD2, UD3, UD4	DDR3，存储图像处理的中间数据、OSD 数据和从 EMMC 中调入的需要运行的程序
	1.5GB	UD1, UD2	
		UD3, UD4	

3	8GB	U1	THGBMBG6D1KBAIL 或 KLM8G1GEAC-B031	EMMC, 存储整机控制程序
	4GB	U1	KLM4G1FEPD-B031 或 THGBMBG5D1KBAIL	
4		UM5	24LC32A/SN	EEPROM, 存储用户操作等数据和 HDMI 的 key
5		U803	TDA18275AHN/C1	硅 Tuner IC, RF 接收解调输出模拟、数字中频信号
7		UA4	TAS5719PHPR	数字伴音功放 (主声道)
9		U14	MP8761GLE-Z	DC-DC (MT5520 的 CORE 电压)
10		U10	SY8104ADC	DC-DC (12V_IN 转 5VSB)
11		U28	TPS562200DDCR	DC-DC (+5V 转 DDR 电压)
12		U11	MP1495SGJ-Z	DC-DC (12V 转 5V-USB)
13		U26	MP1470	DC-DC (+5VSB 转 AVDD1V0)
14		U27	MP1470	DC-DC (+5V 转 AVDD1V2)
15		U16	TPS563200	DC-DC (+5VSB 转 +3V3SB)
16		U102	A04803A	电源开关 MOS (+12V_IN 转 +12V)
17		U105	6M60FV	4K@60Hz 转 4 看 120Hz, 实现 MEMC 功能 (Q3A 用)
18		U103	W25Q32FVSSIG	6M60 使用的 NorFlash, 用于程序存储
19		U29	SY8120B1	DC-DC (+12V 转 +3.3V_Standby) (Q3A 用)
20		U18	SY8120B1	DC-DC (+12V 转 +3.3V_Standby) (Q3A 用)
21		U15	SY8368A	DC-DC (+12V 转 +1.05V_VDDC) (Q3A 用)
22		U3T	MST7665EAZ	T-CON IC, 负责将接受到的 VBO 信号转 Mini LVDS 信号
23		U204T	MX25L3206E	T-CON 用 NorFlash, 用于存储 T-CON 程序
24		U28T	TPS563200	DC-DC (+12V 转 +1.2V_VDDC) (T-CON 用)
25		U804T	G2510	PMIC
26		U805T	G1632	Gamma Buffer
27		U806T	G2582	Level shift
28		U13	AP2120-3.3/WL2004	LDO (+5VSB 转 +3V3SB)

备注: 1、U16 仅在 Q3T、Q3T A、65U3C、75Q3TM 上使用;

2、U28T、U804T、U805T、U806T 在 43、50Q3T\Q3TA 上使用。

二、长虹液晶电视 ZLM65H-i 系列机芯其他主要集成电路功能介绍

1. 板载 BT-WiFi 模块(WB-D4 (JUB2.891.654))管脚简介如表 4 所示

表 4 DMI21-C7I1RH 管脚功能简介

管脚	管脚定义	管脚功能描述
1	WIFI_WAKE	WIFI 唤醒整机 PIN
2	BT_RST	蓝牙复位 PIN
3	3V3SB	板载 WiFi-BT 模块供电 PIN
4	U2_DMO	USB 差分数据
5	U2_DPO	USB 差分数据
6	GND	地
7	GND	地
8	NC	悬空
9	BT_HOST_WAKE	蓝牙唤醒整机 PIN
10	GND	地
11	GND	地
12	NC	悬空
13	GND	地
14	GND	地
15	NC	悬空
16	GND	地

板载 WIF-BT 模块仅在 Q3T、Q3TA 机芯上使用。

2. 数字伴音功放 TAS5719

本次数字功放使用在 ZLM60H-i 系列机芯批量使用的 TAS5719 是数字 D 类功率放大器，最大输出功率可达 15W，封装为 48 PIN 的 HTQFP 封装。TAS5719 主要特点如下：

- 宽范围的 PVDD 供电电压（4.5V 到 26V）；
- 支持 2.0 声道模式（2 BTL）；
- 支持一路模拟音频运放电路；
- 具有 IIC 地址选择管脚；
- 支持 8KHZ 到 48KHZ 采样率；
- 具有动态范围压缩功能（DRC），单通道具有 2 路 DRC；

PIN FUNCTIONS

PIN		TYPE ⁽¹⁾	5-V TOLERANT	TERMINATION ⁽²⁾	DESCRIPTION
NAME	NO.				
AGND	30	P			Analog ground for power stage
A_SEL	14	DIO			This pin is monitored on the rising edge of RESET. A value of 0 makes the I ² C dev address 0x54, and a value of 1 makes it 0x56.
AVDD	13	P			3.3-V analog power supply
AVSS	9	P			Analog 3.3-V supply ground
BST_A	45	P			High-side bootstrap supply for half-bridge A
BST_B	41	P			High side bootstrap supply for half bridge B
BST_C	40	P			High-side bootstrap supply for half-bridge C
BST_D	36	P			High-side bootstrap supply for half-bridge D
CPN	6	IO			Charge-pump flying-capacitor negative connection
CPP	7	IO			Charge-pump flying-capacitor positive connection
DVDD	27	P			3.3-V digital power supply
DVSS	28	P			Digital ground
DVSSO	17	P			Oscillator ground
GND	29	P			Analog ground for power stage

PIN FUNCTIONS (continued)

PIN		TYPE ⁽¹⁾	5-V TOLERANT	TERMINATION ⁽²⁾	DESCRIPTION
NAME	NO.				
GVDD_OUT	34	P			Gate drive internal regulator output
HPL_IN	1	AI			Headphone left IN (single-ended, analog IN)
HPL_OUT	2	AO			Headphone left OUT (single-ended, analog OUT)
HP_PWML	48	DO			PWM left-channel headphone out
HP_PWMR	47	DO			PWM right-channel headphone out
HPR_IN	4	AI			Headphone right IN (single-ended, analog IN)
HPR_OUT	3	AO			Headphone right OUT (single-ended, analog OUT)
HP_SD	33	AI			Headphone shutdown (active-low)
HPVDD	8	P			Headphone supply
HPVSS	5	P			Headphone ground
LRCLK	20	DI	5-V	Pulldown	Input serial audio data left/right clock (sample rate clock)
MCLK	15	DI	5-V	Pulldown	Master clock input
OSC_RES	16	AO			Oscillator trim resistor. Connect an 18-k Ω 1% resistor to DVSSO.
OUT_A	44	O			Output, half-bridge A
OUT_B	42	O			Output, half-bridge B
OUT_C	39	O			Output, half-bridge C
OUT_D	37	O			Output, half-bridge D
PDN	19	DI	5-V	Pullup	Power down, active-low. PDN prepares the device for loss of power supplies by shutting down the noise shaper and initiating the PWM stop sequence.
PGND_AB	43	P			Power ground for half-bridges A and B
PGND_CD	38	P			Power ground for half-bridges C and D
PLL_FLTM	10	AO			PLL negative loop-filter terminal
PLL_FLTP	11	AO			PLL positive loop-filter terminal
PVDD_AB	46	P			Power-supply input for half-bridge output A
PVDD_CD	35	P			Power-supply input for half-bridge output C
RESET	25	DI	5-V	Pullup	Reset, active-low. A system reset is generated by applying a logic low to this pin. RESET is an asynchronous control signal that restores the DAP to its default conditions, and places the PWM in the hard-mute (high-impedance) state.
SCL	24	DI	5-V		I ² C serial control clock input
SCLK	21	DI	5-V	Pulldown	Serial audio data clock (shift clock). SCLK is the serial audio port input data bit clock.
SDA	23	DIO	5-V		I ² C serial control data interface input/output
SDIN	22	DI	5-V	Pulldown	Serial audio data input. SDIN supports three discrete (stereo) data formats.
SSTIMER	32	AI			Controls ramp time of OUT_X to minimize pop. Leave this pin floating for BD mode. Requires capacitor of 2.2 nF to GND in AD mode. The capacitor determines the ramp time.
STEST	26	DI			Factory test pin. Connect directly to DVSS.
VR_ANA	12	P			Internally regulated 1.8-V analog supply voltage. This pin must not be used to power external devices.
VR_DIG	18	P			Internally regulated 1.8-V digital supply voltage. This pin must not be used to power external devices.
VREG	31	P			Digital regulator output. Not to be used for powering external circuitry.

3、K4B4G1646E-BCMA、NT5CB256M16DP-EK、NT5CB128M16IP-EK、K4B2G1646Q-BCMA

K4B4G1646E-BCMA、NT5CB256M16DP-EK是容量为4GB的DDR3存储器，NT5CB128M16IP-EK、K4B2G1646Q-BCMA是容量为2GB的DDR3存储器。PIN-TO-PIN兼容，其主要特点如下：

- 供电电压为 1.5V
- 8bit 的预取
- 异步复位
- 96 球的 BGA 封装；

K4B4G1646D-BCMA与NT5CB256M16CP-EK PIN-TO-PIN兼容，管脚示意图如下：

Symbol	Type	Function
CK, $\overline{CK}$	Input	Clock: CK and $\overline{CK}$ are differential clock inputs. All address and control input signals are sampled on the crossing of the positive edge of CK and negative edge of $\overline{CK}$. Output (read) data is referenced to the crossings of CK and $\overline{CK}$.
CKE	Input	Clock Enable: CKE HIGH activates, and CKE Low deactivates, internal clock signals and device input buffers and output drivers. Taking CKE Low provides Precharge Power-Down and Self Refresh operation (all banks idle), or Active Power-Down (Row Active in any bank). CKE is asynchronous for self refresh exit. After V_{REFCA} has become stable during the power on and initialization sequence, it must be maintained during all operations (including Self-Refresh). CKE must be maintained high throughout read and write accesses. Input buffers, excluding CK, $\overline{CK}$, ODT and CKE are disabled during power-down. Input buffers, excluding CKE, are disabled during Self-Refresh.
$\overline{CS}$	Input	Chip Select: All commands are masked when $\overline{CS}$ is registered HIGH. $\overline{CS}$ provides for external Rank selection on systems with multiple Ranks. $\overline{CS}$ is considered part of the command code.
ODT	Input	On Die Termination: ODT (registered HIGH) enables termination resistance internal to the DDR3 SDRAM. When enabled, ODT is only applied to each DQ, DQS, $\overline{DQS}$ and DM/TDQS, NU/TDQS (When TDQS is enabled via Mode Register A11=1 in MR1) signal for x8 configurations. The ODT pin will be ignored if the Mode Register (MR1) is programmed to disable ODT.
RAS, CAS, WE	Input	Command Inputs: RAS, CAS and WE (along with $\overline{CS}$) define the command being entered.
DM (DMU), (DML)	Input	Input Data Mask: DM is an input mask signal for write data. Input data is masked when DM is sampled HIGH coincident with that input data during a Write access. DM is sampled on both edges of DQS. For x8 device, the function of DM or TDQS/TDQS is enabled by Mode Register A11 setting in MR1.
BA0 - BA2	Input	Bank Address Inputs: BA0 - BA2 define to which bank an Active, Read, Write or Precharge command is being applied. Bank address also determines if the mode register or extended mode register is to be accessed during a MRS cycle.
A0 - A15	Input	Address Inputs: Provided the row address for Active commands and the column address for Read/Write commands to select one location out of the memory array in the respective bank. (A10/AP and A12/ $\overline{BC}$ have additional functions, see below) The address inputs also provide the op-code during Mode Register Set commands.
A10 / AP	Input	Autoprecharge: A10 is sampled during Read/Write commands to determine whether Autoprecharge should be performed to the accessed bank after the Read/Write operation. (HIGH:Autoprecharge; LOW: No Autoprecharge) A10 is sampled during a Precharge command to determine whether the Precharge applies to one bank (A10 LOW) or all banks (A10 HIGH). If only one bank is to be precharged, the bank is selected by bank addresses.
A12 / $\overline{BC}$	Input	Burst Chop: A12 is sampled during Read and Write commands to determine if burst chop (on-the-fly) will be performed. (HIGH: no burst chop, LOW: burst chopped). See command truth table for details.
$\overline{RESET}$	Input	Active Low Asynchronous Reset: Reset is active when $\overline{RESET}$ is LOW, and inactive when $\overline{RESET}$ is HIGH. $\overline{RESET}$ must be HIGH during normal operation. $\overline{RESET}$ is a CMOS rail to rail signal with DC high and low at 80% and 20% of V_{DD} , i.e. 1.20V for DC high and 0.30V for DC low.
DQ	Input/Output	Data Input/ Output: Bi-directional data bus.
DQS, ($\overline{DQS}$)	Input/Output	Data Strobe: Output with read data, input with write data. Edge-aligned with read data, centered in write data. For the x16, DQSL corresponds to the data on DQ0-DQ7; DQSU corresponds to the data on DQ8-DQ15. The data strobe DQS, DQSL and DQSU are paired with differential signals $\overline{DQS}$, $\overline{DQSL}$ and $\overline{DQSU}$, respectively, to provide differential pair signaling to the system during reads and writes. DDR3 SDRAM supports differential data strobe only and does not support single-ended.
TDQS, ($\overline{TDQS}$)	Output	Termination Data Strobe: TDQS/TDQS is applicable for X8 DRAMs only. When enabled via Mode Register A11=1 in MR1, DRAM will enable the same termination resistance function on TDQS/TDQS that is applied to DQS/ $\overline{DQS}$. When disabled via mode register A11=0 in MR1, DM/TDQS will provide the data mask function and TDQS is not used. x4/ x16 DRAMs must disable the TDQS function via mode register A11=0 in MR1.
NC		No Connect: No internal electrical connection is present.
V_{DDQ}	Supply	DQ Power Supply: 1.5V $\pm$ 0.075V
V_{SSQ}	Supply	DQ Ground
V_{DD}	Supply	Power Supply: 1.5V $\pm$ 0.075V
V_{SS}	Supply	Ground
V_{REFDQ}	Supply	Reference voltage for DQ
V_{REFCA}	Supply	Reference voltage for CA
ZQ	Supply	Reference Pin for ZQ calibration

NOTE: Input only pins (BA0-BA2, A0-A15, RAS, CAS, WE, $\overline{CS}$, CKE, ODT and $\overline{RESET}$) do not supply termination.

4、THGEMBG6D1KBAIL、KLM8G1GEAC-B031、KLM4G1FEPD-B031、THGEMBG5D1KBAIL

THGEMBG6D1KBAIL、KLM8G1GEAC-B031 是 8GB EMMC 存储器，KLM4G1FEPD-B031、THGEMBG5D1KBAIL 是 4GB 存储器，PIN-TO-PIN 兼容，其特点如下：

- EMMC 5.0；
- 最高支持 HS400 模式，最高工作频率 400MBps

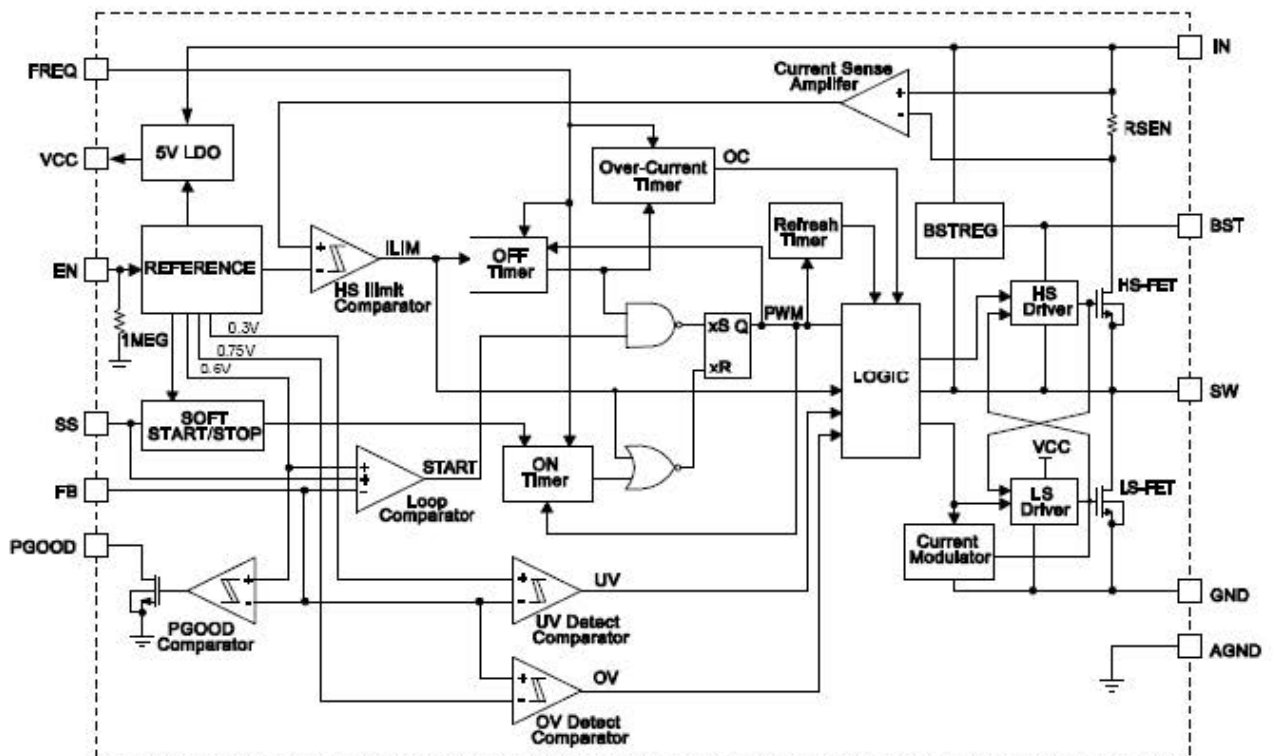
5、6M60FV (Q3A 使用)

实现 4K@60Hz 转 4K@120Hz，支持 4K@120Hz 的 MEMC。

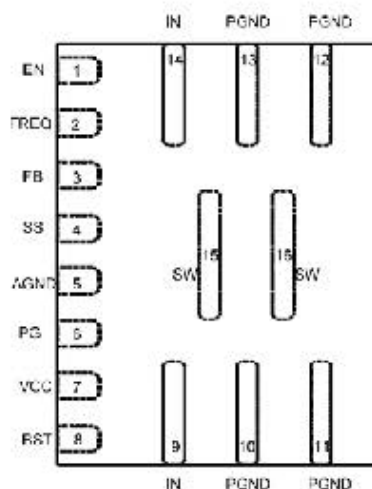
6. DC-DC 转换器 MP8761GLE

MP8761GLE 为 DC-DC 电压转换器，输入电压范围 4.5V-18V，8A 输出电流，封装为 16 PIN QFN 封装。

MP8761GLE 的内部原理框图如下：



MP8761GLE 管脚图如下



TPS54821 管脚功能描述如下表 8:

PIN # 13-Pin QFN	PIN# 16-Pin QFN	Name	Description
1	1	EN	Enable. Digital input to turn the regulator ON or OFF. Drive EN HIGH to turn on the regulator. Drive it LOW to turn it off. Connect EN to IN through a pull-up resistor or a resistive voltage divider for automatic startup. Do not float this pin.
2	2	FREQ	Frequency Set. Requires a resistor connected between FREQ and IN to set the switching frequency. The input voltage and the resistor connected to the FREQ pin determine the ON time. The connection to the IN pin provides line feed-forward and stabilizes the frequency during input voltage jitter.
3	3	FB	Feedback. Connect to the tab of an external resistor divider from the output to GND to set the output voltage. FB is also configured to realize over-voltage protection (OVP) by monitoring output voltage. Place the resistor divider as close to FB pin as possible. Avoid using vias on the FB traces.
4	4	SS	Soft-Start. Connect an external capacitor to program the soft start time for the switch mode regulator.
5	5	AGND	Analog ground. The control circuit reference.
6	6	PG	Power Good, the output is an open drain signal. Require a pull-up resistor to a DC voltage to indicate high if the output voltage exceeds 91% of the nominal voltage. There is a delay from $FB \geq 91\%$ to PG goes high.
7	7	VCC	Internal 4.8V LDO output. Power the driver and control circuits. 5V external bias can disable the internal LDO. Decoupling with $\geq 1\mu F$ ceramic capacitor as close to the pin as possible. Use X7R or X5R dielectric ceramic capacitors for their stable temperature characteristics.
8	8	BST	Bootstrap. Require a capacitor connected between SW and BS pins to form a floating supply across the high-side switch driver.
9, 10	15, 16	SW	Switch Output. Connect to the inductor and bootstrap capacitor. The high-side switch drives the pin up to the V_{IN} voltage during PWM duty cycle's ON time. The inductor current drives the SW pin negative during the OFF-time. The low-side switch's ON-resistance and the internal Schottky diode clamp the negative voltage. Connect using wide PCB traces.
11, 12	10, 11, 12, 13	PGND	System Ground. Reference ground of the regulated output voltage. PCB layout requires extra care. Connect using wide PCB traces.
13	9, 14	IN	Supply Voltage. Supplies power to the internal MOSFET and regulator. The MP8761 operates from a +2.5V to +5V input rail with 5V external bias and a +4.5V to +18V input rail with internal bias. Requires an input decoupling capacitor. Connect using wide PCB traces and multiple vias.

第三章 整机信号流程分析及关键点测量数据

本章主要介绍长虹液晶电视(ZLM65H-i 机芯)的图像信号的接收及处理、声音信号的接收及处理、整机系统控制过程和整机供电系统。

一、图像信号流程

高频头输出的 TV 信号、AV 信号、直接送入主芯片 MT5520 进行视频解码、A/D 变换、格式变换等，最后将不同格式的输入信号变成统一的 VBO 信号输出。

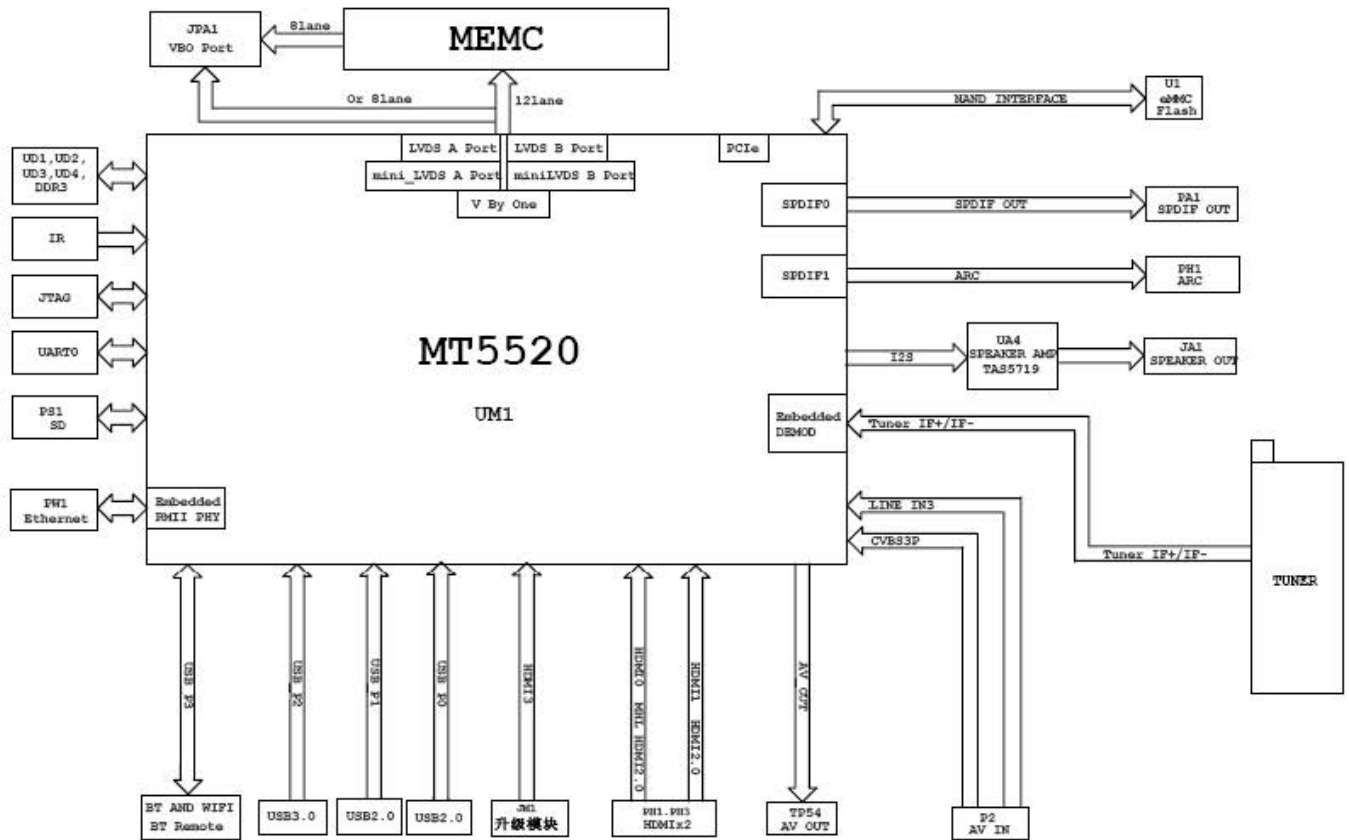
HDMI 和 USB 输入的数字信号，网络信号进入 MT5520，经过视频解码等处理后形成统一的 VBO 上屏信号。

其中 Q3A 系列的 MT5520 输出的 VBO 信号还需经过 MST6M60 转换信号为 4K@120Hz 信号上屏。

二、 伴音信号流程

AV、HDMI、网络输入的伴音信号和射频信号经调谐器解调后输出的 TV 音频信号直接输入到 MT5520 进行音效处理，输出的音频信号进入到数字伴音功放 TA5719 中进行功率放大，最后送入扬声器。

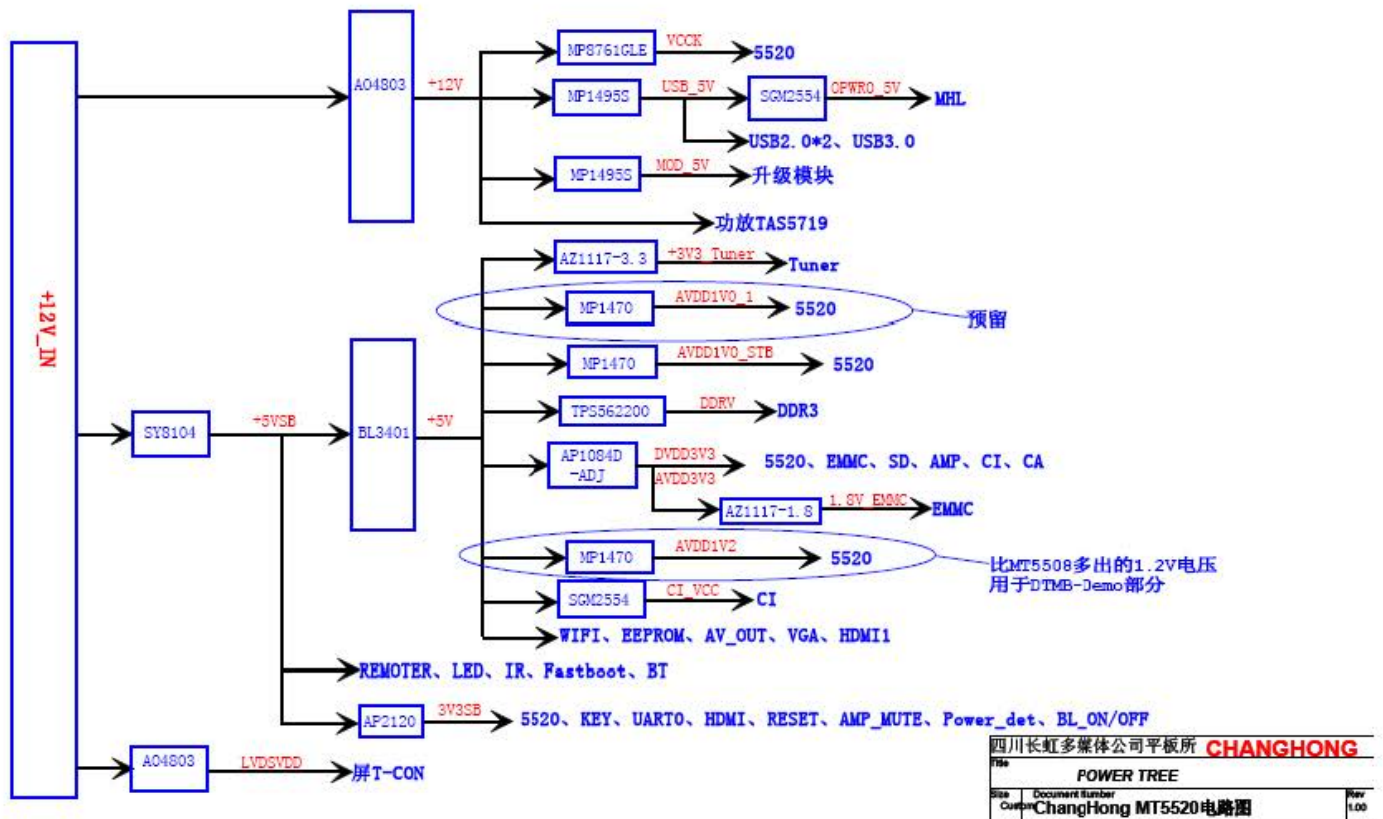
以 Q3EU、G3 为例，信号流程图如下图所示



三、 整机供电系统

75Q3TM、Q3A 电源板共有 2 路电压输出，+12V_IN、+24V_Audio，其余基于 ZLM65H-i 系列机芯的整机都按照最新的电源标准，只有+12V_IN 的型号。其中 75Q3TM 的+24V_Audio 供功放使用，+12V_IN 通过 MOS 开关给 TCON 供电，+12V 通过 DC-DC 或 LDO 变成 3.3V、1.0V、1.5V、1.05V、1.2V 供 IC 使用，而+5VSB 给遥控、指示灯等待机电路供电，同时+5VSB 通过 LDO 或 DC-DC 生成+3V3SB。

以 G3、Q2EU 为例，整机电源组成如下图所示：



2、主板上主要供电电压

以 ZLM65H-i 机芯为例，主要供电电压如下表：

序号	网络名称	电压值 (V)	测试点
1	+5VSB	5.23	C60 处
2	3V3SB	3.29	C131 处
3	+5V	5.18	C142 处
4	VCC_EMMC	3.26	CM81 处
5	1.8V_EMMC	1.809	C159 处
6	VCC	1.001	CM59 处
7	DVDD3V3	3.28	U02 处
8	DDRV	1.505	CD48 处
9	AVDD1V0	1.06	CD38 处
10	AVDD1V2	1.207	CD42 处
11	+3V3_TUNER	3.29	U9 处

11	USB_5V	5.03	C96 处
12	+12V	12.16	C141 处
13	LVDS_VDD	12.16	CA10 处
14	VPA	12.17	CA72 处

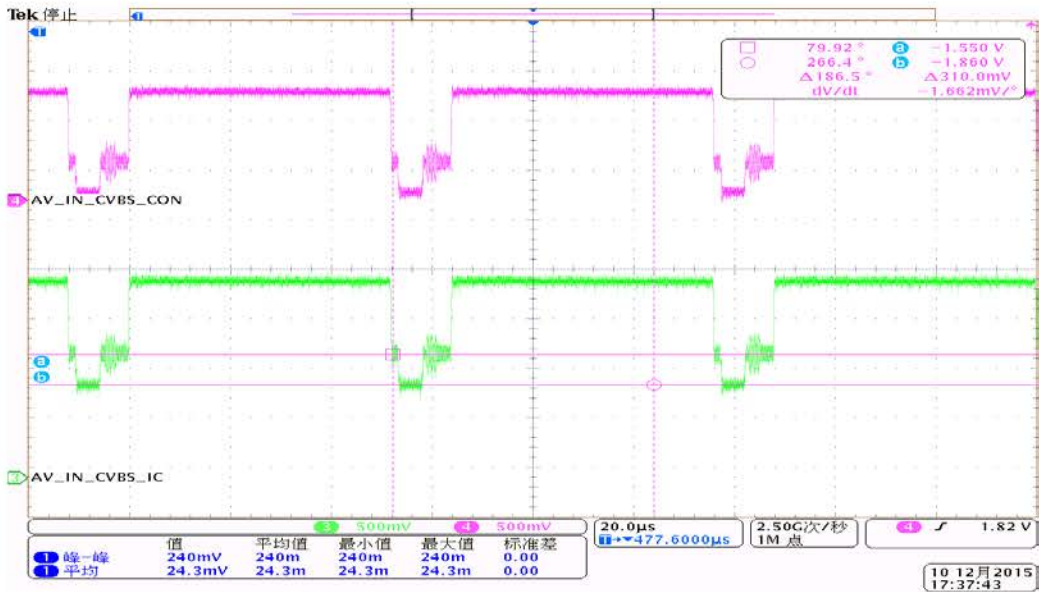
四、主板上各主要插座定义

序号	位号	连接对象		功能描述
1	J1	电 源 板	其他	+12_IN(1、2、3、4、9、10 脚); GND(5、6、7、8 脚); NC(11、14 脚); AGND (12 脚); BL-ON/OFF(13 脚); BL-ADJUST (15 脚); STB (16 脚)
			Q3A	+12_IN(1、2、3、4 脚); GND(5、6、7、8 脚); 24V_AUDIO (9、10 脚); NC(14、15 脚); AGND (11、12 脚); LVDS_ON/OFF(13 脚); BL-ON/OFF (16 脚)
			42、50Q3T	+12_IN(1、2、3、4、脚); GND(5、6、7、8、14 脚); NC(9、10、12 脚); +5V (11 脚); BL-ON/OFF(13 脚); BL-ADJUST (15 脚); STB (16 脚)
			75Q3TM	+12_IN(1、2、3、4 脚); GND(5、6、7、8 脚); 24V_AUDIO (9、10 脚); NC(11、14 脚); AGND (12 脚); BL-ON/OFF(13 脚); BL-ADJUST (15 脚); STB (16 脚)
	J3	WIFI 和蓝牙模块		BT_RST(1 脚); 5V(2 脚); GND(3、8 脚); BT_DM(4 脚); wifi_wakeup (5 脚); BT_DP(6 脚); NC(7、11、12)BT_Wakeup (9 脚); 3D-SYNC(10 脚);
3	JA1	扬 声 器	其 他	伴音输出: R+ (1 脚); R- (2 脚); L- (3 脚); L+ (4 脚)
			Q3T	伴音输出: L+ (1 脚); L- (2 脚); R- (3 脚); R+ (4 脚)
4	其 他	J2	K 板/红外 遥控	KEY0 (1 脚); 5V (2 脚); GND (3 脚); IR (4 脚) KEY1 (5 脚); GND (6 脚); LED1+ (7 脚); LED1- (8 脚); LED0+ (9 脚); LED0- (10 脚)

	Q	J4	K 板	USB_5V (1、2 脚); USB_DM_P1 (3 脚); USB_DM_P2 (4 脚); USB_DP_P1 (5 脚); USB_DP_P2 (6 脚); GND (7、8、10 脚); KEY0-0 (9 脚); NC (11、12 脚)
	3			
	T	J7	指示灯板	L-LED1- (1 脚); L-LED1+ (2 脚)
		J26	红外遥控	+5VSB (1 脚); GND (2 脚); IR (3 脚)
5	Q	J18	屏插座	51PIN 上屏线插座
	3			
	A	JP5	屏插座	41PIN 上屏线插座
	其他	JPA1	屏插座	51PIN 上屏线插座

五、关键点波形图（图 6-图 15）

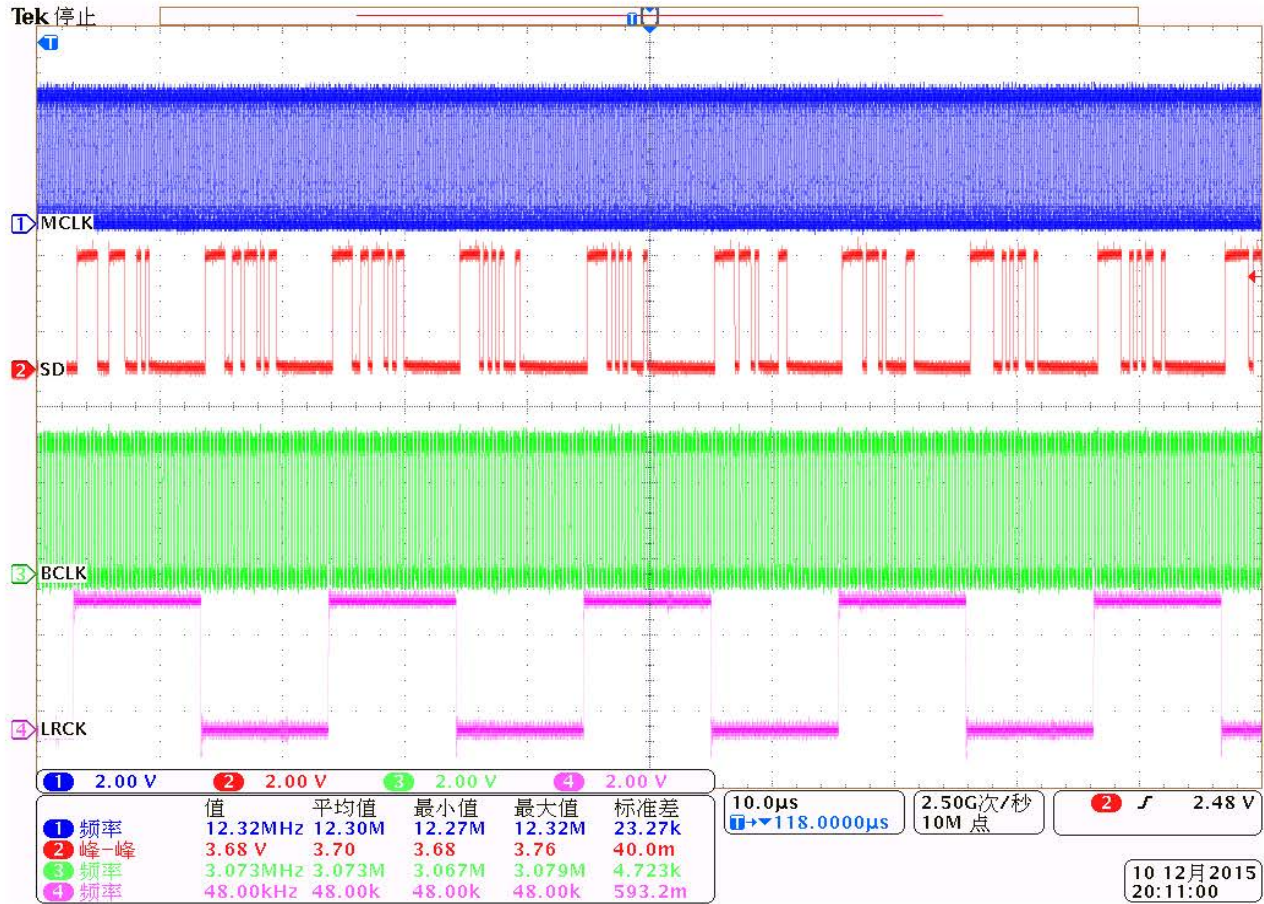
1、CVBS 视频端子输入白场信号，在进入主芯片 UM1 的耦合电容 CV27 之前的波形如下图所示：



2、同轴输出波形如下图所示：



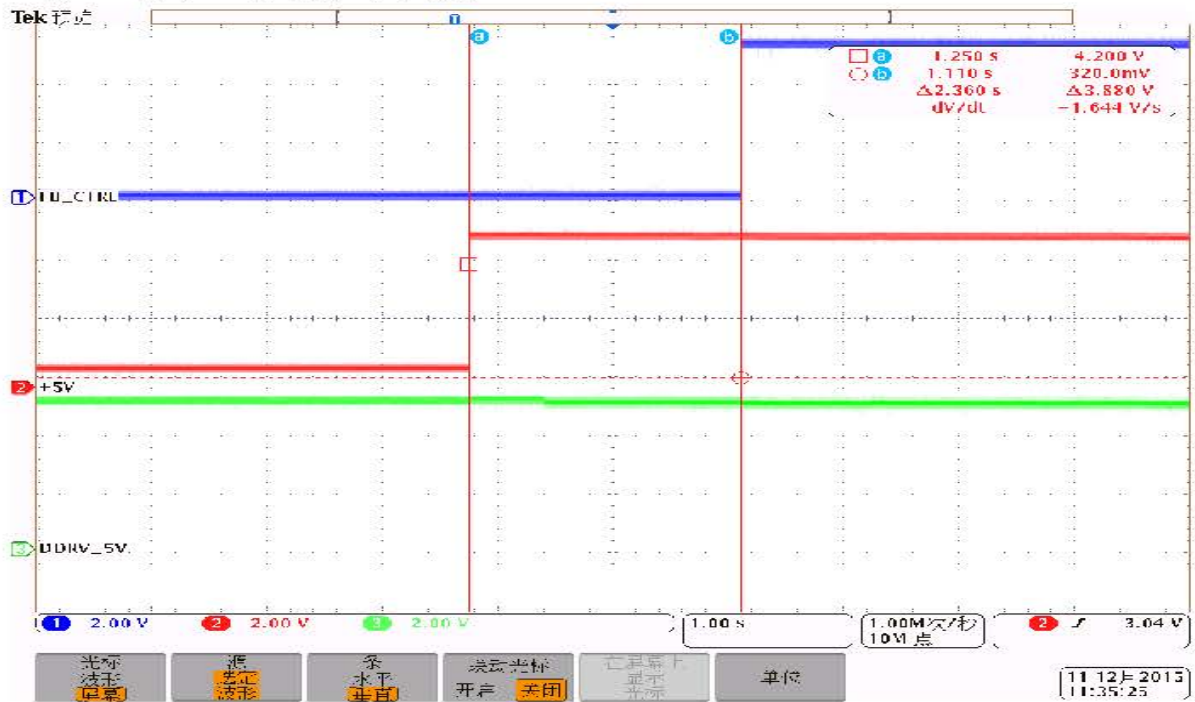
3、功放 IIS 输入波形如下图所示：



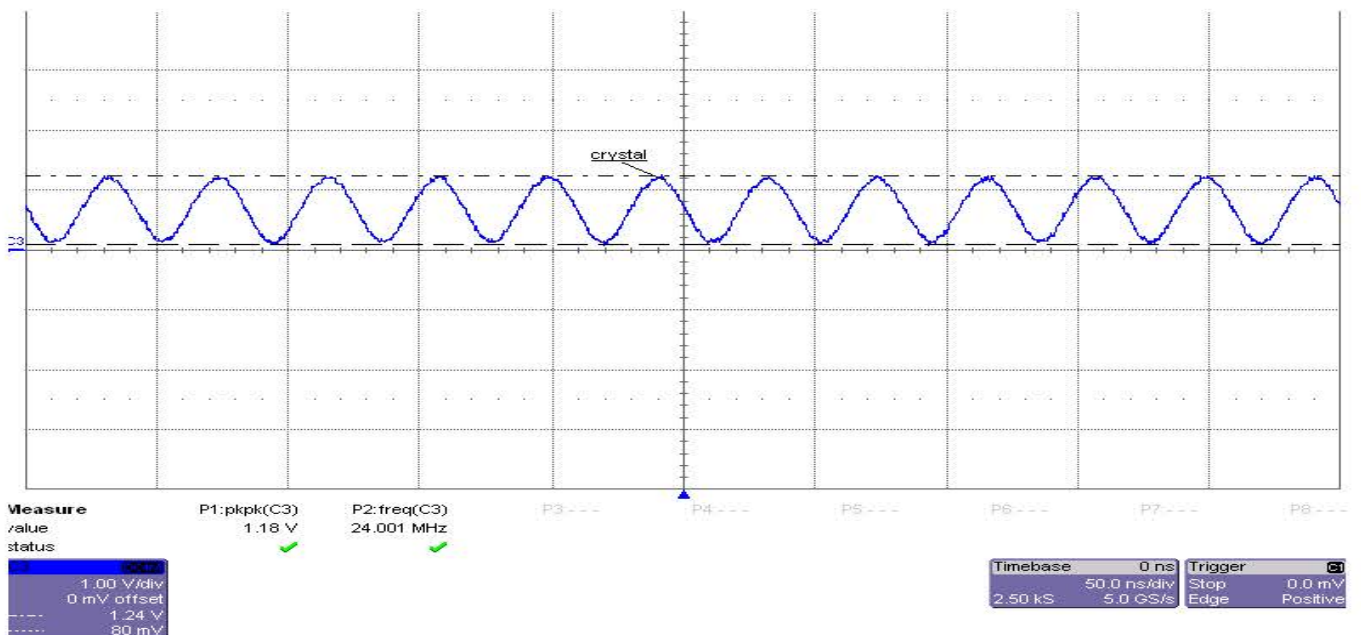
4、EEPROM 进行擦写操作过程中的写保护、释放保护波形如下图所示：



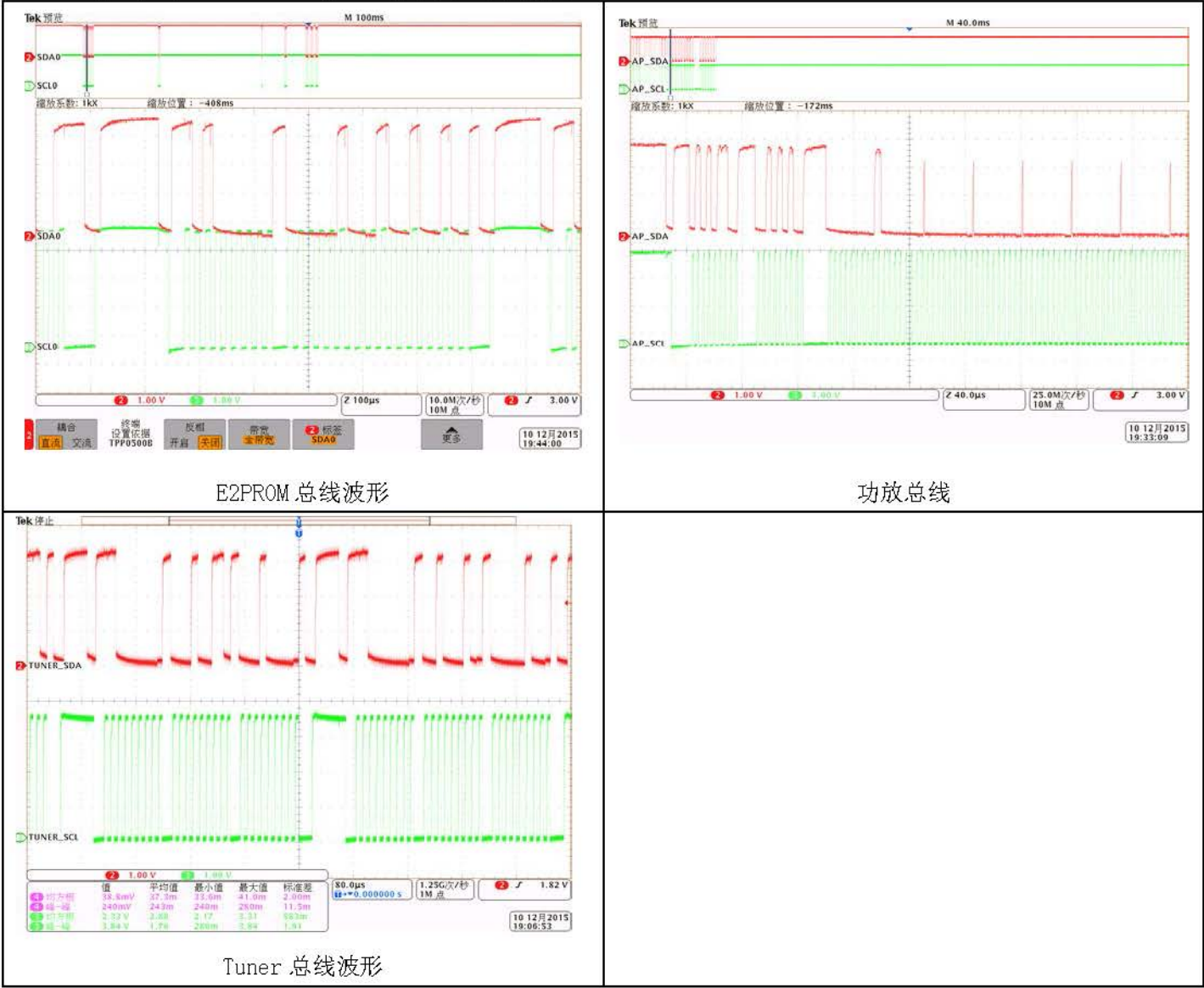
5、Fast_Boot 开机上电时序如下图所示：



6、晶体振荡器 YM1 产生 24MHZ 正弦波。不准确的振荡频率会导致不能正常进行信号解调，产生图象失色等现象，波形如下图所示：



7、上电过程中 MT5520 三路总线波形如下图所示



六：关键点的测试电压(供参考)

因 ZLM65H-i 系列机芯派生机芯较多，且位号有所不同，以下以 ZLM65H-i 原形机芯为例。

电压名称	测试位置	测试值
+12V	C141正端	+12V±0.5V
VCC_PANEL	CA10正极	+12V±0.5V
VCCK	CM59的正端	+1.00V±0.02V
	CM42的正端	
+1.5V_DDR3	CD175的正端	+1.5V±0.075V
	CD171的正端	
	CD124的正端	
	CD32的正端	

第五章 维备件、易损件清单

基于 ZLM65H-i 系列机芯的整机型号较多，因状态不一样，组件号也较多，本次只列举部分型号，实际维修时需各自查相关产品实时存档技术状态，下列维修备件清单仅供参考，准确型号或规格请以公司最新资料为准。

	组件名称	印制板号	组件图号	物资代码
	主板组件	C151017 V4	JUC6.690.00155399	850143500
55Q3EU 配 LG 玻璃	主板机贴组件		JUC6.790.00155401	850143502
	按键板组件	C121711 V2	JUC6.694.00122183	850108129
	按键板机贴组件		JUC6.794.00122181	850108128
	WIFI-BT 模块	——	WB-D2	810661287
	遥控器	——	RBE990VC	810692112
	电源模块	——	HQL75D-2SB 480-A\$ JCL75D-2SB 480-W	850150025
55G3 配友达玻璃	主板组件	C 151017 V4	JUC6.690.00159751	850148726
	主板机贴组件		JUC6.790.00159756	850148730
	按键板组件	C073381 V1	JUC6.694.00077476	850063485
	按键板机贴组件		JUC6.794.00077475	850063484
	WIFI-BT 模块	——	WB-D2(S)	810653018
	遥控器	——	RBD880VC	810673253
	电源模块	——	HQL75D-2SA 480-W\$HSL75D-2SA 480-W	850140769
50Q3T	主板组件	C156920 V4	JUC6.690.00156918	850145184

	主板机贴组件		JUC6.790.00156916	850145182
	接口转接板组件	C154733 V3	JUC6.116.00159302	850148044
	接口转接板机插机贴组件		JUC6.797.0015803	850146552
	WIFI-BT 模块	---	WB-D4	810669408
	遥控器	---	RBE900VC	810665136
	电源组件	---	JUC6.692.00158672	850147339
55Q3T 配华星光 电玻璃	主板组件	C156983 V3	JUC6.690.00156923	850145189
	主板机贴组件		JUC6.790.00156922	850145188
	接口转接板组件	C154733 V3	JUC6.116.00159302	850148044
	接口转接板机插机贴组件		JUC6.797.0015803	850146552
	WIFI-BT 模块	---	WB-D4	810669408
	遥控器	---	RBE900VC	810665136
	电源模块	---	L55D-1SH 560	810671782
65U3C	主板组件	C160318 V2	JUC6.690.00160321	850149394
	主板机贴组件		JUC6.790.00160325	850149397
	按键板组件	C127634 V1	JUC6.694.00131227	850117712
	按键板机贴组件		JUC6.794.00131226	850117709
	WIFI-BT 模块	---	WB-D2(S)	810653018
	遥控器	---	RBE900VC	810665136
	电源模块	---	HSL75/10D-4MB 400-1	810697628
75Q3TM	主板组件	C156372 V3	JUC6.690.00158740	850147408
	主板机贴组件		JUC6.790.00158742	850147407
	按键板机贴组件	C157528	JUC6.794.00159212	850147943
	WIFI-BT 模块	---	WB-D2(S)	810653018
	遥控器	---	RBE990VC	810692112
	电源模块	---	MPL80S-1S2 11A5	850148073

第六章 工厂模式设置及注意事项

一. ZLM65H-i系列机芯在线升级方法及步骤

第1步，将升级程序拷贝到U盘根目录。

第2步，在交流关机情况下，将U盘插入USB 接口。

第3步，开机，自动进入升级模式。

第4步，升级完成后电视会自动重启来完成升级。

二. 进入工厂菜单

按“设置”键后，进入“情景模式”的“标准模式”，依次按“上-右-右”键调出“数字键”，依次按数字键“0”、“8”、“1”、“6”，进入工厂菜单

三. 工厂菜单及其设置

索引 1: 工厂选择

产品型号及屏参：整机仅进行确认，不作更改。

索引 2: 系统信息

检查 MAC 地址，设备 ID，条码信息。IP 地址（网络连接）等有数据显示。

索引 3: 调谐设置

预设频道：按预先写好的频点载入节目

索引 4: 声音设置

音量和平衡选择

索引 5: 设计模式

设计模式中的选择项不能更改。

索引 6: SSC

DDR 和 LVDS 扩频。

索引 7: 出厂设置

最后的调试工序，所有参数设置为出厂状态

索引 8: 背光亮度

快速进行背光调整，电视要正常工作，仅屏显示亮度变化。

索引 9: 能效检查

索引 10: DTV